

# WIRING BOARD

Publication number: JP2002171072

Publication date: 2002-06-14

Inventor: OGAWA KOJU; HAYASHI TERUHISA

Applicant: NGK SPARK PLUG CO

Classification:

- international: H05K1/11; H01L23/522; H01L23/538; H05K1/02;  
H05K1/18; H05K3/46; H05K1/11; H01L23/52;  
H05K1/02; H05K1/18; H05K3/46; (IPC1-7): H05K3/46;  
H01L23/522; H05K1/02; H05K1/11; H05K1/18

- European:

Application number: JP20010284957 20010919

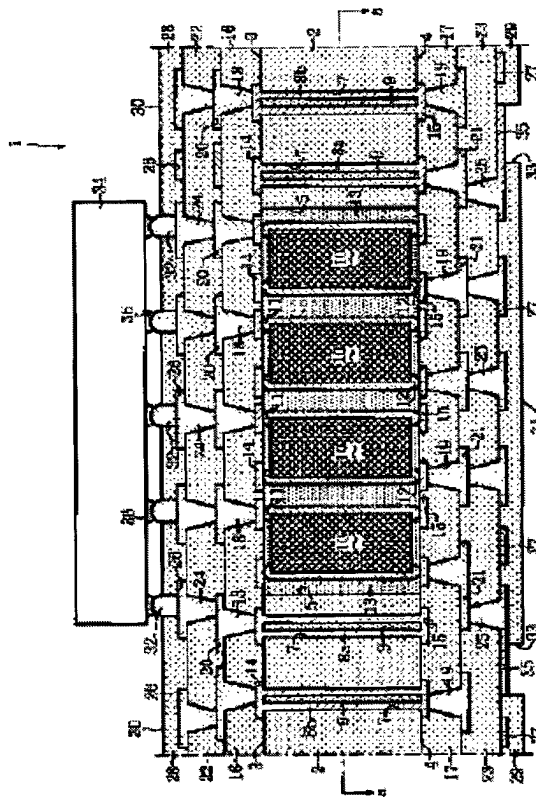
Priority number(s): JP20010284957 20010919; JP20000283282 20000919

Report a data error here

## Abstract of JP2002171072

**PROBLEM TO BE SOLVED:** To provide a wiring board, whose internal signal circuit is prevented from malfunctioning by an electronic component built in a core substrate.

**SOLUTION:** The wiring board 1 is equipped with the core substrate 2, which has a top surface 3 and a reverse surface 4, a through-hole 5 which penetrates the core substrate 2 between the top surface 3 and reverse surface 4, the electronic component 10 of which is put in the through-hole 5 via buried resin 13, and a through-hole conductor 8a which is adjacent to the electronic component 10 and penetrates the core substrate 2 along the circumference of the through-hole 5, and the through-hole conductor 8a is connected to a power supply circuit or a grounding circuit.



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-171072

(P 2 0 0 2 - 1 7 1 0 7 2 A)

(43) 公開日 平成14年6月14日 (2002. 6. 14)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード <sup>*</sup> (参考)
H05K 3/46		H05K 3/46	Q 5E317
			N 5E336
H01L 23/522		1/02	N 5E338
H05K 1/02		1/11	H 5E346
1/11		1/18	P
審査請求 未請求 請求項の数 2 O L (全11頁) 最終頁に続く			

(21) 出願番号 特願2001-284957 (P 2001-284957)

(22) 出願日 平成13年9月19日 (2001. 9. 19)

(31) 優先権主張番号 特願2000-283282 (P 2000-283282)

(32) 優先日 平成12年9月19日 (2000. 9. 19)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004547  
日本特殊陶業株式会社  
愛知県名古屋市長区瑞穂区高辻町14番18号

(72) 発明者 小川 幸樹  
愛知県名古屋市長区瑞穂区高辻町14番18号 日  
本特殊陶業株式会社内

(72) 発明者 林 照久  
愛知県名古屋市長区瑞穂区高辻町14番18号 日  
本特殊陶業株式会社内

(74) 代理人 100098615  
弁理士 鈴木 学

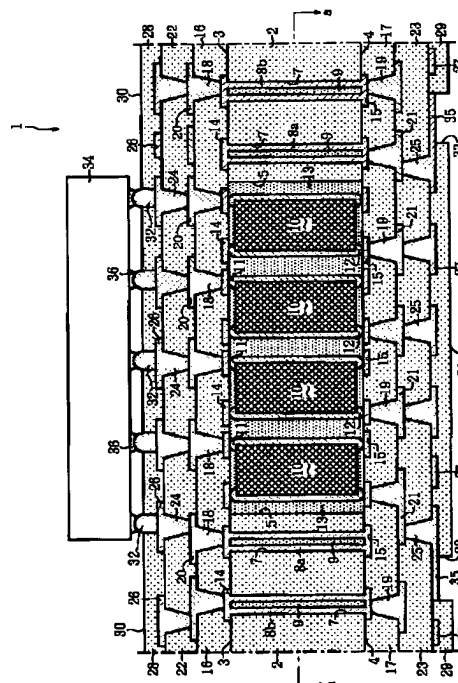
最終頁に続く

(54) 【発明の名称】 配線基板

(57) 【要約】

【課題】 コア基板に内蔵した電子部品によって内部の信号用回路が誤動作しないようにした配線基板を提供する。

【解決手段】 表面3および裏面4を有するコア基板2と、このコア基板2の表面3と裏面4との間を貫通する貫通孔5と、この貫通孔5に埋込樹脂13を介して内蔵される電子部品10と、この電子部品10に隣接し且つ貫通孔5の周囲に沿って上記コア基板2を貫通するスルーホール導体8aと、を備えると共に、かかるスルーホール導体8aは電源用回路またはグランド用回路に接続されている、配線基板1。



**【特許請求の範囲】**

**【請求項 1】** 表面および裏面を有するコア基板と、  
上記コア基板の表面と裏面との間を貫通する貫通孔、あるいは、コア基板の表面または裏面に開口する凹部と、  
上記貫通孔または凹部に内蔵される電子部品と、  
上記貫通孔または凹部内における電子部品に隣接し且つ  
上記コア基板を貫通するスルーホール導体と、を備え、  
上記スルーホール導体は電源用回路またはグランド用回路に接続されている、ことを特徴とする配線基板。

**【請求項 2】** 前記貫通孔または凹部から見て、電源用回路またはグランド用回路に接続されている前記スルーホール導体の外側に位置して前記コア基板を貫通するスルーホール導体は、信号用回路に接続されている、ことを特徴とする請求項 1 に記載の配線基板。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、コア基板に電子部品を内蔵し且つコア基板の表面および裏面に形成した配線層同士を導通するスルーホール導体を有する配線基板に関する。

**【0002】**

**【従来の技術】** 近年における配線基板の小型化および配線基板内における配線の高密度化に対応するため、配線基板の第 1 主面上に IC チップなどの電子部品を搭載するだけでなく、コア基板の内部に電子部品を内蔵する配線基板が提案されている。例えば、図 8 (A) に示す配線基板 50 は、絶縁性のコア基板 51 に設けた貫通孔 52 に埋込樹脂 53 を介して複数のチップコンデンサ (電子部品) 54 を内蔵している。各チップコンデンサ 54 は、図 8 (B) にも示すように、平面視で一対の長辺から上下端に突出する複数の電極 55、56 を該長辺に沿って有している。

**【0003】** また、図 8 (A)、(B) に示すように、コア基板 51 における貫通孔 52 の周囲には、コア基板 51 を貫通するスルーホール導体 57、58 が貫通孔 52 の側面に沿って形成されている。該導体 57、58 は、内部に充填樹脂 59 を有する。更に、コア基板 51 の表面と裏面とは、図 8 (A) に示すように、絶縁層 60、61 が形成されると共に、所定パターンを有し且つ各チップコンデンサ 54 の電極 55、56 と接続する配線層 62、63 が形成される。加えて、絶縁層 60、61 には、これを貫通し且つ配線層 62、63 と接続するビア導体 64、65 が形成され、その上下端には別の配線層 66、67 が形成されると共に、これらの上下に絶縁層 68、69 が個別に形成されている。

**【0004】** そして、前記スルーホール導体 57 は、配線基板 50 における電源回路またはグランド用回路に接続されており、スルーホール導体 58 は、信号用回路に接続されている。ところで、チップコンデンサ 54 は、電極 55、56 を介して配線層 62、63 などとの間で

導通する際に、スイッチングノイズを発生させることがある。このため、スルーホール導体 58 が接続されている信号用回路は、かかるスイッチングノイズの影響を受けて誤動作を生じる、という問題があった。この誤動作は、電極 55、56 に近接するスルーホール導体 58 にて生じ易い。

**【0005】** 一方、電源回路またはグランド用回路に接続される前記スルーホール導体 57 が、貫通孔 52 から離れた位置のコア基板 51 に形成されていると、第 1 主面上に搭載する図示しない IC チップまでの導通経路が長くなる。このため、かかる IC チップを高速動作させる際にスイッチングに対する反応が遅れて、ノイズを生じることにより、IC チップが誤動作を引き起こす、という問題があった。この場合、上記導通経路の付近に配置された信号用回路も上記ノイズの影響を受けることがあった。

**【0006】**

**【発明が解決すべき課題】** 本発明は、以上に説明した従来の技術における問題点を解決し、コア基板に内蔵した電子部品によって基板内の信号用回路が誤動作しないようにした配線基板を提供する、ことを課題とする。

**【0007】**

**【課題を解決するための手段】** 本発明は、上記課題を解決するため、内蔵する電子部品に近接するスルーホール導体を電源用またはグランド (接地) 用回路に接続することに着想して成されたものである。即ち、本発明の配線基板 (請求項 1) は、表面および裏面を有するコア基板と、このコア基板の表面と裏面との間を貫通する貫通孔、あるいは、コア基板の表面または裏面に開口する凹部と、上記貫通孔または凹部に内蔵される電子部品と、上記貫通孔または凹部内における電子部品に隣接し且つ上記コア基板を貫通するスルーホール導体と、を備え、上記スルーホール導体は電源用回路またはグランド用回路に接続されている、ことを特徴とする。

**【0008】** これによれば、電子部品がスイッチングノイズを発生させた場合でも、かかる電子部品が内蔵されている上記貫通孔または凹部の周囲に信号用回路に接続されるスルーホール導体がないため、上記ノイズにより間近に位置する基板内の信号用回路が誤動作を引き起こすことを防止できる。また、貫通孔または凹部の周囲には電源用回路またはグランド用回路に接続するスルーホール導体が位置するため、第 1 主面上に搭載する IC チップまでの導通経路が短くなる。これにより、基板内部におけるループインダクタンスが低減し、且つノイズの発生を低減すると共に、上記 IC チップへの高速給電が可能となる。尚、本明細書において、「隣接する」とは「間近」、即ち「一番近い」ことを指す。また、上記コア基板には、単層の絶縁層からなる形態の他、複数の絶縁層とそれらの間に配置される配線層とからなる多層基板とした形態も含まれる。更に、貫通孔または凹部に電子部

品を内蔵することには、後述する埋込樹脂を介して内蔵する形態の他、電子部品の電極のみを介して実装する形態も含まれる。

【0009】尚、電子部品には、コンデンサ、インダクタ、抵抗、フィルタなどの受動部品や、ローノイズアンプ(LNA)、トランジスタ、半導体素子、FETなどの能動部品、あるいはSAWフィルタ、LCフィルタ、アンテナスイッチモジュール、カプラ、ダイプレクサなどが含まれる。且つこれらのチップ状のものも含まれると共に、これらの異種の電子部品同士を同じ貫通孔や凹部に内蔵しても良い。付言すると、表面および裏面を有するコア基板と、このコア基板の表面と裏面との間を貫通する貫通孔、あるいは、コア基板の表面または裏面に開口する凹部と、上記貫通孔または凹部に埋込樹脂を介して内蔵される電子部品と、上記貫通孔または凹部内における電子部品に隣接し且つ上記コア基板を貫通するスルーホール導体と、を備え、このスルーホール導体は電源用回路またはグラウンド用回路に接続されている、配線基板も含まれ得る。この場合、前記作用および効果に加え、電子部品を埋込樹脂によって埋設しつつコア基板に強固に内蔵できるため、電子部品を基板内の配線層と正確に接続し且つ所要の動作を確実に発揮せしめることが可能となる。

【0010】また、前記貫通孔または凹部から見て、電源用回路またはグラウンド用回路に接続されている前記スルーホール導体の外側に位置して前記コア基板を貫通するスルーホール導体は、信号用回路に接続されている、配線基板(請求項2)も本発明に含まれる。これによれば、仮に電子部品からスイッチングノイズが漏洩しても、信号用回路に接続されるスルーホール導体は、貫通孔または凹部から見て、電源用回路またはグラウンド用回路に接続されるスルーホール導体よりも離れた位置にある。このため、上記ノイズは、電源用回路などに接続されたスルーホール導体により遮蔽されているため、信号用回路に接続されるスルーホール導体には確実に影響しなくなる。従って、配線基板内における信号用回路の誤動作をなくし、正常な動作を安定して行わせることができる。尚、上記配線基板で、貫通孔または凹部に隣接して電源用またはグラウンド用回路に接続されるスルーホール導体の上記貫通孔または凹部から見て外側に、1または複数の電源用またはグラウンド用回路に接続されるスルーホール導体を配置し、更にその外側に信号用回路に接続されるスルーホール導体を配置しても良い。

【0011】付言すると、前記貫通孔または凹部内における電子部品に隣接し且つそれらの側面に沿った複数のスルーホール導体の何れもが、電源用回路またはグラウンド用回路に接続されている、配線基板とすることも可能である。また、前記電子部品の電極と前記貫通孔または凹部に隣接するスルーホール導体とが、第1電位または第2電位となるように配置されている、配線基板とする

ことも可能である。第1電位と第2電位とは、正・負逆の電荷に帯電され、逆向きに通電されていることを示し、これによる場合、隣接する電極とスルーホール導体との間における相互インダクタンスを増加させ、且つ両者に跨る全体のループインダクタンスを低減することが可能となる。これにより、基板内の電子部品と配線層間の通電や、配線層同士間の通電を安定させ且つ確実に行わせしめ得る。

#### 【0012】

【発明の実施の形態】以下において、本発明の実施に好適な形態を図面と共に説明する。図1は、本発明の一形態の配線基板1における主要部の断面を示す。配線基板1は、図1に示すように、絶縁性のコア基板2と、その表面3上または裏面4下に形成した配線層14、20、26、15、21、27および絶縁層16、22、28、17、23、29からなるビルドアップ層と、を有する多層基板である。上記配線層14などの厚さは約15 $\mu$ m程度であり、絶縁層16などの厚さは約30 $\mu$ m程度である。コア基板2は、平面視がほぼ正方形で厚さ約0.8mmのガラス布入りのエポキシ樹脂からなる絶縁層で、その中央部をパンチングすることにより、図1に示すように、平面視がほぼ正方形で一辺が12mmの貫通孔5が穿孔されている。

【0013】コア基板2の貫通孔5内には、シリカフィラなどの無機フィラを含むエポキシ系の埋込樹脂13を介して、複数のチップコンデンサ(電子部品)10が内蔵されている。チップコンデンサ10は、両側面において上下端に突出する電極11、12を対称に複数設けており、例えばチタン酸バリウムを主成分とする誘電体層と内部電極であるNi層とを交互に積層したセラミックスコンデンサである。各チップコンデンサ10は、3.2mm $\times$ 1.6mm $\times$ 0.7mmの寸法を有する。貫通孔5の周囲には、コア基板2の表面3と裏面4との間を貫通するスルーホール7、7が少なくとも内外2重にして穿孔され、その内部に銅メッキからなるスルーホール導体8a、8bおよびシリカフィラを含む充填樹脂9がそれぞれ形成されている。尚、かかる充填樹脂9に替えて、多量の金属粉末を含む導電性樹脂、または微量の金属粉末を含む非導電性樹脂を用いても良い。

【0014】図2(A)および(B)に示すように、貫通孔5に近接する、即ちチップコンデンサ10に間近のスルーホール導体8aは、配線基板1内の電源用回路またはグラウンド用回路に接続されている。また、図2(A)、(B)に示すように、貫通孔5から見て外側に位置するスルーホール導体8bの全部または一部は、配線基板1内の信号用回路に接続されている。

【0015】図1に示すように、コア基板2の表面3上には、銅メッキからなる配線層14と、シリカフィラを含むエポキシ樹脂からなる絶縁層16とが形成され、且つスルーホール導体8a、8bの上端にも配線層14が

形成されている。絶縁層16内の所定の位置には、配線層14に接続するフィールドビア導体18が形成され、且つその上端と絶縁層16の上には配線層20が形成される。同様に、配線層20の上には絶縁層22が形成され、且つフィールドビア導体24が上記ビア導体18の真上にスタックドビア(積み上げビア)として形成されると共に、フィールドビア導体24の上端と絶縁層22の上には配線層26が形成される。

【0016】配線層26の上には、ソルダーレジスト層(絶縁層)28と、これを貫通し且つ第1主面30よりも高く突出する複数のハンダバンプ(IC接続端子(Pb-Sn系、Sn-Ag系、Sn-Sb系、Sn-Zn系など))32とが形成される。ハンダバンプ32は、第1主面30上に搭載されるICチップ(半導体素子)34の底面に突設された接続端子36と個別に接続される。尚、接続端子36およびハンダバンプ32の周囲には、これらを埋設するようにICチップ34と第1主面30との間に図示しないアンダーフィル材が充填される。

【0017】図1に示すように、コア基板2の裏面4下にも、銅メッキからなる配線層15とシリカフィラ入り  
20のエポキシ樹脂からなる絶縁層17とが形成され、且つスルーホール導体8a、8bの下端にも配線層15が形成されている。絶縁層17の所定の位置には、配線層15に上端が接続するフィールドビア導体19が形成され、且つその下端と絶縁層17の下には配線層21が形成される。同様に、配線層21の下には絶縁層23およびフィールドビア導体25が形成されると共に、当該ビア導体25の下端と絶縁層23の下には配線層27が形成される。この配線層27の下には、ソルダーレジスト層  
30(絶縁層)29が形成され、第2主面31側に開口する開口部33内に露出する上記配線層27内の配線35は、その表面にNiおよびAuメッキが被覆され、当該配線基板1自体を搭載する図示しないプリント基板などのマザーボードとの接続端子となる。

【0018】尚、配線層14、20、26、15、21、27、絶縁層16、22、28、17、23、29、および、ビア導体18、24、19、25は、貫通孔5内に複数のチップコンデンサ10を挿入し、埋込樹脂13により埋設・固化して、コア基板2の表面3および裏面4を研磨して整面した後、公知のビルドアップ工程(セミアディティブ法、フルアディティブ法、サブトラクティブ法、フィルム状樹脂材料のラミネートによる絶縁層の形成、フォトリソグラフィ技術、レーザ加工によるビアホールの穿孔など)により形成される。

【0019】以上のような配線基板1によれば、コア基板2の貫通孔5内に埋込樹脂13を介して内蔵された複数のチップコンデンサ10は、これらに隣接して貫通孔5の周囲に沿って形成され且つ電源用回路またはグランド用回路に接続されたスルーホール導体8aに包囲されている。これにより、チップコンデンサ10からスイ

ミングノイズが発生しても、貫通孔5の周囲に位置するスルーホール導体8aに遮蔽され、これらの外側に位置する信号用回路に接続されたスルーホール導体8bに影響しなくなる。従って、配線基板1内の信号用回路において、誤動作が生じにくくなり、所定の動作を正確に行わしめることができる。

【0020】同時に、外部からのノイズが貫通孔5に内蔵されたチップコンデンサ10に影響しにくくなり、所要の動作を確実に行わしめることができる。また、電源用回路またはグランド用回路に接続されたスルーホール導体8aが貫通孔5の周囲に沿って形成されているため、ICチップ34までの導通経路が短くなる。これにより、かかる経路におけるループインダクタンスを低減でき、ICチップ34に対し高速給電を行うことも可能となると共に、高速動作時におけるノイズも生じにくくなるため、これによる誤動作も防ぐことができる。

【0021】図3は、異なる形態の配線基板40における主要部の断面を示す。尚、以下においては、前記形態と同じ部分や要素には共通の符号を用いるものとする。図3に示すように、配線基板40のコア基板2には、その表面3側に開口し且つ平面視がほぼ正方形で一辺が12mmの凹部6がルータ加工により形成されている。かかる凹部6には、前記同様のチップコンデンサ10が複数挿入され、且つ前記同様のエポキシ系の埋込樹脂13中に埋設されることで、コア基板2に内蔵されている。各チップコンデンサ10の下端側の電極12は、凹部6の底面6aに形成されたパッド(電子部品接続端子)44に図示しないハンダを介して接続され、このパッド44は底面6aからコア基板2の裏面4に貫通するスルーホール導体42を介して、裏面4の配線層15と導通している。尚、かかるスルーホール導体42の内部にも前記同様の充填樹脂46、導電性樹脂、または非導電性樹脂が埋設されている。

【0022】図3に示すように、凹部6の周囲には、コア基板2の表面3と裏面4との間を貫通するスルーホール7、7が少なくとも内外2重にして穿孔され、その内部にスルーホール導体8a、8bおよび充填樹脂9がそれぞれ形成されている。前記同様に、凹部6に近接するスルーホール導体8aは、配線基板40内の電源用回路またはグランド用回路に接続されている。また、前記同様に凹部6から見て外側に位置するスルーホール導体8bの全部または一部は、配線基板40内の信号用回路に接続されている。

【0023】コア基板2の表面3上には、前記同様に配線層14、20、26、フィールドビア導体18、24、および、絶縁層16、22、28が形成されている。配線層26の上には、第1主面30よりも高く突出するハンダバンプ32が形成され、これらは第1主面30上に搭載されるICチップ34の底面に突設された接続端子36と個別に接続される。尚、ハンダバンプ32と接続

端子 36 の周囲には、これらを埋設するように IC チップ 34 と第 1 主面 30 との間に、図示しないアンダーフィル材が充填される。

【0024】図 3 に示すように、コア基板 2 の裏面 4 下にも、前記同様に配線層 15、21、27、フィードビア導体 19、25、および絶縁層 17、23 が形成されている。配線層 27 の下には、ソルダーレジスト層 (絶縁層) 29 が形成され、その第 2 主面 31 側に開口した開口部 33 内に露出する上記配線層 27 内の配線 35 は、表面に Ni および Au メッキが被覆された接続端子 10 である。コア基板 2 を挟んだ上下の配線層 14、15 は、スルーホール導体 8a、8b を介して導通されると共に、各チップコンデンサ 10 の電極 11、12、パッド 44、およびスルーホール導体 42 を介しても導通されている。

【0025】以上のような配線基板 40 においても、コア基板 2 の凹部 6 に埋込樹脂 13 を介して内蔵されたチップコンデンサ 10 は、これらに隣接して凹部 6 の周囲に沿って形成され且つ電源用回路またはグランド用回路に接続されたスルーホール導体 8a に包囲されている。このため、チップコンデンサ 10 からスイッチングノイズが発生しても、凹部 6 の周囲に位置するスルーホール導体 8a に遮蔽され、これらの外側に位置する信号用回路に接続されたスルーホール導体 8b に影響しなくなる。従って、チップコンデンサ (電子部品) 10 を内蔵する配線基板 40 内の信号用回路において、誤動作が生じにくくなり、所定の動作を正確に行わせることができる。

【0026】しかも、外部からのノイズが凹部 6 に内蔵されたチップコンデンサ 10 に影響しにくくなり、所要の動作を確実に実行しめることができる。更に、電源用回路またはグランド用回路に接続されたスルーホール導体 8a が凹部 6 の周囲に沿って形成されているため、IC チップ 34 までの導通経路が短くなることにより、かかる経路におけるループインダクタンスを低減でき、IC チップ 34 に対し高速給電を行うことも可能となる。このため、高速動作時におけるノイズも生じにくくなるため、これによる誤動作も防止することができる。

【0027】また、本発明には、次のような形態も含まれる。図 4 に示すように、コア基板 2 に 2 つの貫通孔 5、5 が隣接して形成されている場合、各貫通孔 5 の周囲には、電源用回路またはグランド用回路と接続されたスルーホール導体 8a が形成され、貫通孔 5、5 から見て外側の位置には、信号用回路と接続されたスルーホール導体 8b を形成することも可能である。この場合、隣接するスルーホール導体 8b、8b には、互いに逆向きの電流を通電することにより、両者全体のループインダクタンスを低減することが可能である。付言すると、以上のようなスルーホール導体 8a、8b の配置は、コア基板 2 において複数の凹部 6、6 が隣接する場合にも適

用される。

【0028】図 5 は、更に異なる形態の配線基板 40a における主要部の断面を示す。図 5 に示すように、配線基板 40a のコア基板 2 には、その裏面 4 側に開口し且つ平面視がほぼ正方形の凹部 6 がルータ加工により形成されている。かかる凹部 6 には、前記同様のチップコンデンサ 10 が複数挿入され、且つ前記同様のエポキシ系の埋込樹脂 13 中に埋設されることで、コア基板 2 に内蔵されている。各チップコンデンサ 10 の上端側の電極 11 は、凹部 6 の底面 (天井面) 6b に形成されたパッド (電子部品接続端子) 44 に図示しないハンダ (Sn-Sb 系等) を介して接続され、このパッド 44 は底面 6b からコア基板 2 の表面 3 に貫通するスルーホール導体 42 を介して、表面 3 の配線層 14 と導通している。尚、かかるスルーホール導体 42 の内部にも前記同様の充填樹脂 46、導電性樹脂、または非導電性樹脂が埋設されている。

【0029】図 5 に示すように、凹部 6 の周囲には、前記同様にスルーホール 7、7 が少なくとも内外 2 重にして穿孔され、その内部にスルーホール導体 8a、8b および充填樹脂 9 がそれぞれ形成されている。凹部 6 に近接するスルーホール導体 8a は、前記同様に配線基板 40a 内の電源用回路またはグランド用回路に接続されている。また、前記同様に凹部 6 から見て外側に位置するスルーホール導体 8b の全部または一部は、配線基板 40a 内の信号用回路に接続されている。更に、コア基板 2 の表面 3 上には、前記同様の絶縁層 16、22、28、配線層 14、20、26、およびハンダバンプ 28 などが形成され、且つ裏面 4 下にも、前記同様の絶縁層 17、23、29、配線層 15、21、27、および配線 (接続端子) 35 などが形成されている。以上のような配線基板 40a によっても、前記配線基板 40 と同様な作用が成され且つ同様な効果が得られる。

【0030】図 6 は、更に異なる形態の配線基板 40b における主要部の断面を示す。配線基板 40b は、図 6 に示すように、絶縁性のコア基板 K と、その裏面 4b 側に開口し且つ平面視がほぼ正方形の凹部 6 と、かかる凹部 6 に埋込樹脂 13 を介して内蔵されたチップコンデンサ 10 と、コア基板 K の表面 3a 上に形成されたビルドアップ層 (配線層 20、26 や絶縁層 16、22 など、それぞれ厚みが 15~30 μm 程度) と、を備えている。コア基板 K は、図 6 に示すように、ガラスエポキシ系樹脂からなり厚みが約 200 μm の絶縁層 2a と、上記と同じ素材からなり厚みが約 550 μm の絶縁層 2b とを、厚みが約 60 μm のプリプレグ (接着層) 49 を介して厚み方向に積層した多層基板である。プリプレグ 49 を挟んだ絶縁層 2a の裏面 3b および絶縁層 2b の表面 4a には、所定パターンの配線層 47、48 が形成されている。

【0031】図 6 に示すように、コア基板 K における絶

縁層 2 b に予め穿孔した貫通孔は、プリプレグ 4 9 を介して絶縁層 2 a および絶縁層 2 b が接着された際、コア基板 K の裏面 4 b 側に開口する凹部 6 となる。図 6 に示すように、凹部 6 の周囲におけるコア基板 K の表面 3 a と裏面 4 b との間には、前記同様のスルーホール導体 8 a, 8 b が内外 2 重に貫通すると共に、スルーホール導体 8 a, 8 b の中間に配線層 4 7, 4 8 が接続されている。

【0032】図 6 に示すように、コア基板 K における絶縁層 2 a の表面 3 a と裏面 3 b との間には、前記同様に複数のスルーホール導体 4 2 および充填樹脂 4 6 が形成される。各スルーホール導体 4 2 の上端には、コア基板 K の表面 3 a に形成した配線層 1 4 が接続される。また、各スルーホール導体 4 2 の下端には、凹部 6 の底面(天井面) 6 b に位置するパッド(電子部品接続配線) 4 4 が形成され、かかるパッド 4 4 は前記同様に図示しないハンダを介して各チップコンデンサ 1 0 における上端の電極 1 1 と接続される。更に、チップコンデンサ 1 0 における下端の電極 1 2 は、埋込樹脂 1 3 の整面された表面で且つコア基板 K の裏面 4 b に露出し、かかる裏面 4 b に形成した配線層 1 5 と接続される。尚、コア基板 K の表面 3 a 上には、ビルドアップ層(配線層 2 0, 2 6 や絶縁層 1 6, 2 2 など)でそれぞれ厚みが 1 5 ~ 3 0  $\mu\text{m}$  程度)が前記同様に形成される。

【0033】また、図 6 に示すように、コア基板 K の裏面 4 b 下には、ソルダーレジスト層(絶縁層) 2 9 が形成され、その第 2 主面 3 1 側に開口する開口部 3 3 内に露出する上記配線層 1 5 内の配線 3 5 は、その表面に Ni および Au メッキが被覆され、当該配線基板 1 自体を搭載する図示しないプリント基板などのマザーボードとの接続端子となる。尚、チップコンデンサ 1 0 の電極 1 2 と接続する配線層 1 5 の下側にも開口部 3 3 が形成されるため、係る配線層 1 5 の露出部分もマザーボードとの接続端子となる。以上のような配線基板 4 0 b によれば、前記配線層 4 0 の効果に加え、コア基板 K 自体に配線層 4 7, 4 8 が内蔵されるため配線密度が向上すると共に、各チップコンデンサ 1 0 とマザーボードとの導通距離を短くでき、かかる導通経路の電気的特性をも安定化させることができる。

【0034】図 7 は、配線基板 4 0 b の変形形態である配線基板 4 0 c における主要部の断面を示す。配線基板 4 0 c は、図 7 に示すように、前記同様のコア基板 K と、その裏面 4 b 側に開口する凹部 6 と、かかる凹部 6 の底面(天井面) 6 b に形成したパッド 4 4 に上端側の電極 1 1 を接続して実装(内蔵)した複数のチップコンデンサ 1 0 と、を備えている。コア基板 K の裏面 4 b には、凹部 6 を除いた位置にソルダーレジスト層(絶縁層) 2 9 が形成され、その第 2 主面 3 1 側に開口する開口部 3 3 内に露出する配線層 1 5 内の配線 3 5 は前記同様の接続端子となる。凹部 6 の真下におけるソルダーレジスト層

2 9 には、凹部 6 に連通する開口部 2 9 a が形成され、チップコンデンサ 1 0 の下端側の電極 1 2 が露出している。以上のような配線基板 4 0 c によれば、配線基板 4 0, 4 0 b の効果に加え、チップコンデンサ 1 0 とマザーボードなどとの接続が直に行え、且つ前記埋込樹脂 1 3 でチップコンデンサ 1 0 をモールドする工程を省くなどの製造工数を低減することも可能である。

【0035】本発明は、以上に説明した各形態に限定されるものではない。前記電子部品は、コア基板 2 などの表面 3 と裏面 4 の両側で、その電極 1 1, 1 2 とビルドアップ層の配線層 1 4, 1 5 などと接続する前記形態の他、コア基板 2 の片面、例えば表面 3 側(IC チップ 3 4 の搭載側)のみで接続しても良い。また、前記貫通孔 5 や凹部 6 に内蔵する電子部品は、1 つのみでも良い。逆に、多数のコア基板 2 を含む多数個取りの基板(パネル)内における製品単位 1 個内に、複数の貫通孔 5 や凹部 6 を形成しても良い。更に、複数のチップ状電子部品を互いの側面間で予め接着したユニットとし、これを前記貫通孔 5 または凹部 6 内に挿入し内蔵することもできる。また、チップ状電子部品には、前記チップコンデンサ 1 0 の他、チップ状にしたインダクタ、抵抗、フィルタなどの受動部品や、トランジスタ、半導体素子、FET、ローノイズアンプ(LNA)などの能動部品も含まれると共に、互いに異種の電子部品同士を、コア基板の同じ貫通孔または凹部内に併せて内蔵することも可能である。

【0036】更に、前記コア基板 2 や絶縁層 2 a, 2 b の材質は、前記エポキシ樹脂またはガラスエポキシ樹脂系の複合材料の他、ビスマレイミド・トリアジン(BT)樹脂、同様の耐熱性、機械強度、可撓性、加工容易性などを有するガラス織布や、ガラス織布などのガラス繊維とエポキシ樹脂、ポリイミド樹脂、または BT 樹脂等の樹脂との複合材料であるガラス繊維-樹脂系の材料を用いても良い。あるいは、ポリイミド繊維などの有機繊維と樹脂との複合材料や、連続気孔を有する PTFE など 3 次元網目構造のフッ素系樹脂にエポキシ樹脂などの樹脂を含浸させた樹脂-樹脂複合材料などを用いることも可能である。また、前記スルーホール導体 8 a, 8 b や配線層 1 4, 1 5 などの材質は、前記 Cu の他、Ag, Ni, Ni-Au などにしても良く、あるいは、これら金属のメッキ膜を用いず、導電性樹脂を塗布するなどの方法により形成しても良い。

【0037】更に、前記ビア導体 1 8 などは、ビアホール内を埋め尽くす形態の前記フィルドビアに限らず、ビアホールの断面形状に倣った円錐形状の形態としても良い。更に、絶縁層 1 6, 1 7 などの材質は、前記エポキシ樹脂を主成分とするもののほか、同様の耐熱性、パターン成形性などを有するポリイミド樹脂、BT 樹脂、PPE 樹脂、あるいは、連続気孔を有する PTFE など 3 次元網目構造のフッ素系樹脂にエポキシ樹脂などの樹脂

を含浸させた樹脂-樹脂複合材料などを用いることもできる。尚、絶縁層の形成には、絶縁性の樹脂フィルムを熱圧着する方法の他、液状の樹脂をロールコートにより塗布する方法を用いることもできる。

#### 【0038】

【発明の効果】 以上において説明した本発明の配線基板(請求項1)によれば、電子部品がスイッチングノイズを発生させた場合でも、当該電子部品が内蔵されている貫通孔または凹部の周囲に信号用回路に接続されるスルーホール導体がないため、上記ノイズにより基板内の信号用回路が誤動作を引き起こす事態を防止できる。また、貫通孔または凹部の周囲に電源用回路またはグランド用回路に接続するスルーホール導体が位置するため、第1主面上に搭載するICチップまでの導通経路が短くなることにより、基板内部におけるループインダクタンスが低減し、上記ICチップへの高速給電が可能となる。

【0039】 また、請求項2の配線基板によれば、信号用回路に接続されるスルーホール導体は、貫通孔または凹部から見て、電源用回路またはグランド用回路に接続されるスルーホール導体よりも離れている。このため、電子部品からスイッチングノイズが漏洩しても、かかるノイズは、電源用回路などのスルーホール導体により遮蔽されているため、信号用回路に接続されるスルーホール導体には確実に影響しなくできる。従って、配線基板内における信号用回路の誤動作をなくし、正常な動作を安定して行わしめることができる。

#### 【図面の簡単な説明】

【図1】 本発明の一形態の配線基板における主要部を示す断面図。

【図2】 (A)は図1中のa-a線に沿った視角による断面図、(B)は(A)中の一点鎖線部分Bの拡大図。

【図3】 異なる形態の配線基板における主要部を示す断面図。

【図4】 更に異なる形態の配線基板における図2(A)と同様な断面図。

【図5】 更にまた異なる形態の配線基板における主要部を示す断面図。

【図6】 更に別なる形態の配線基板における主要部を示す断面図。

【図7】 図7の配線基板の変形形態の配線基板における主要部を示す断面図。

【図8】 (A)は従来の配線基板における主要部を示す断面図、(B)は(A)中のB-B線に沿った視角による断面図。

【符号の簡単な説明】 1, 40, 40a~40c…配線基板

2, K……………コア基板

3, 3a……………表面

4, 4b……………裏面

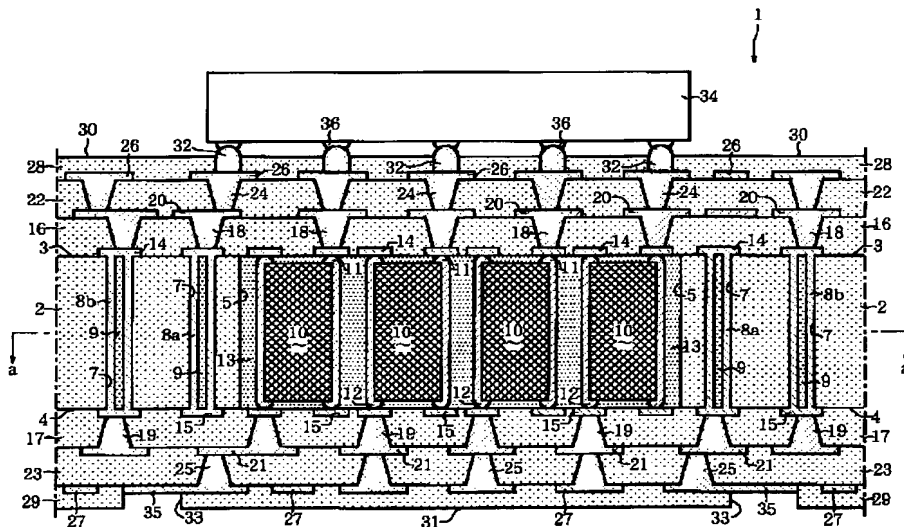
5……………貫通孔

6……………凹部

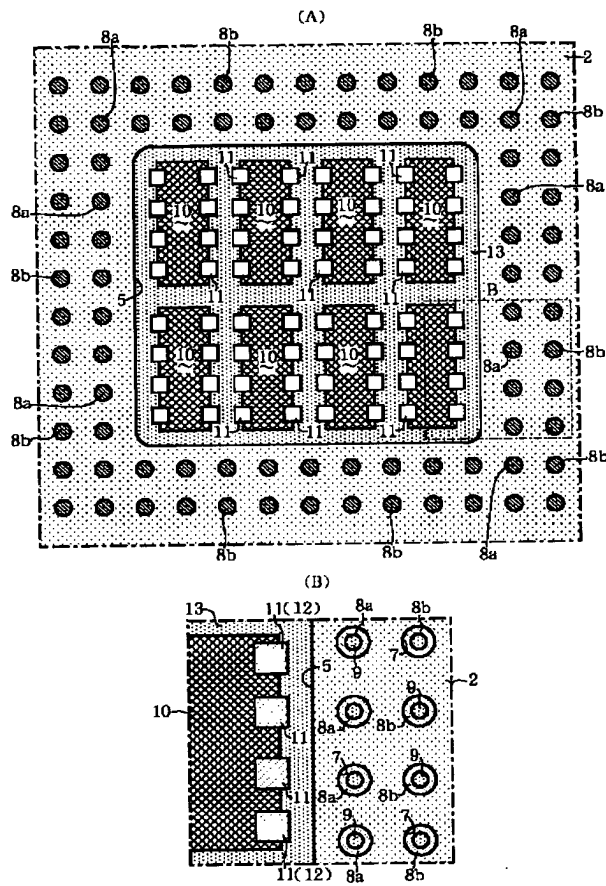
8a, 8b……………スルーホール導体

10……………チップコンデンサ(電子部品)

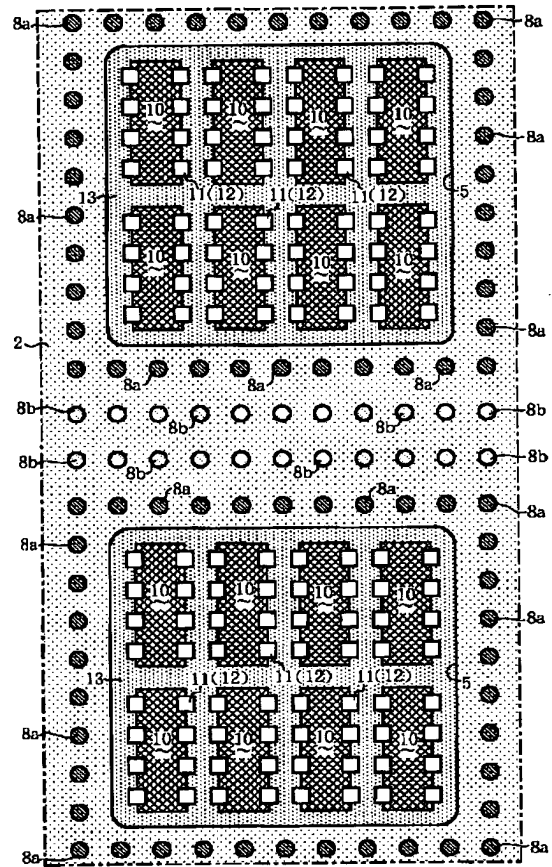
【図1】



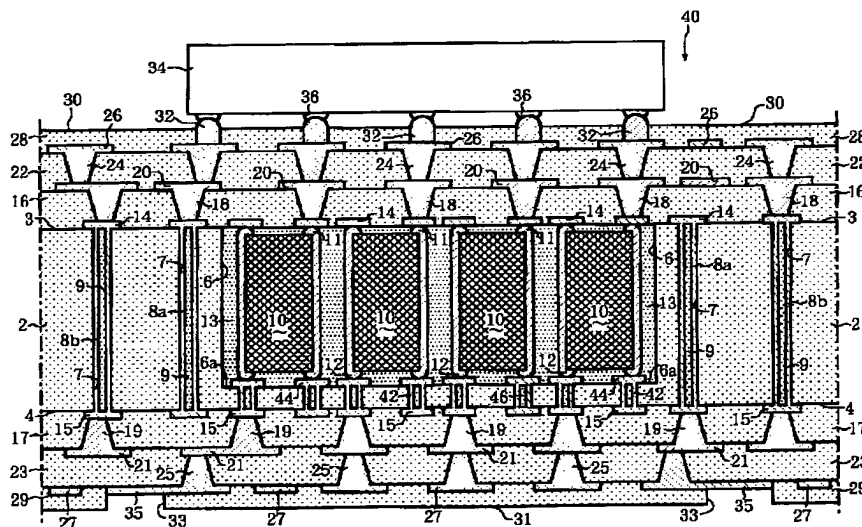
【図 2】



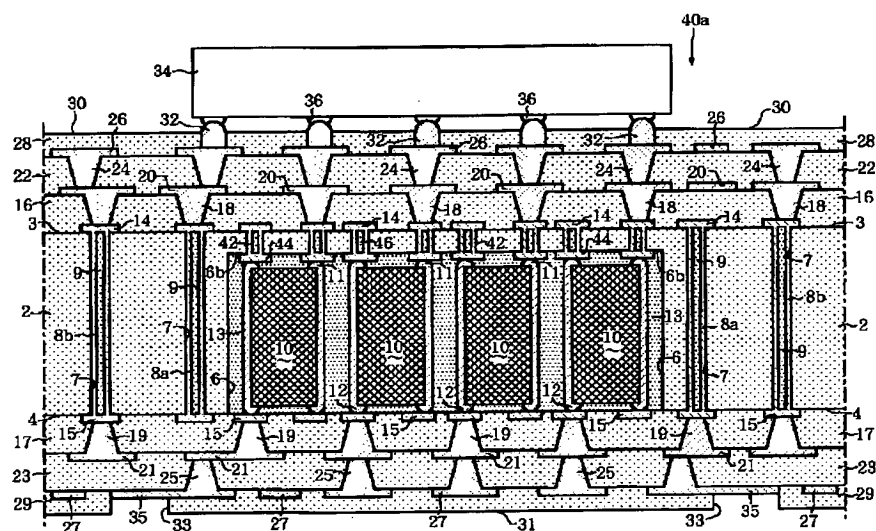
【図 4】



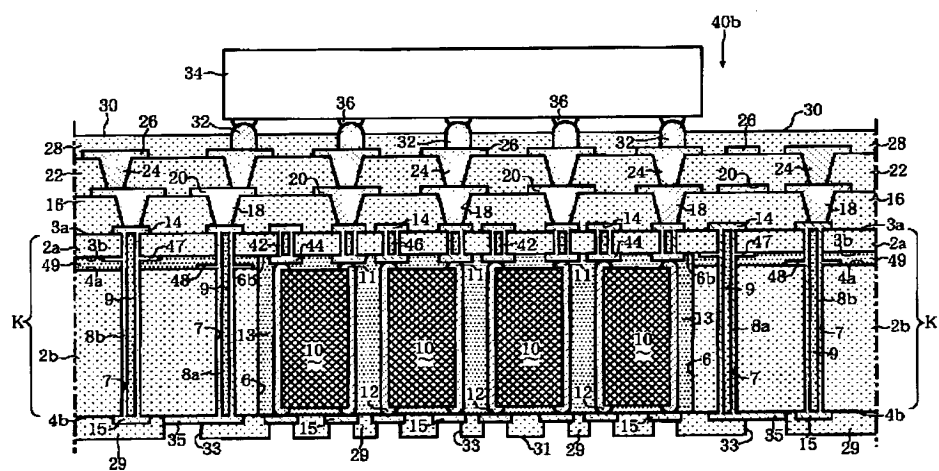
【図 3】



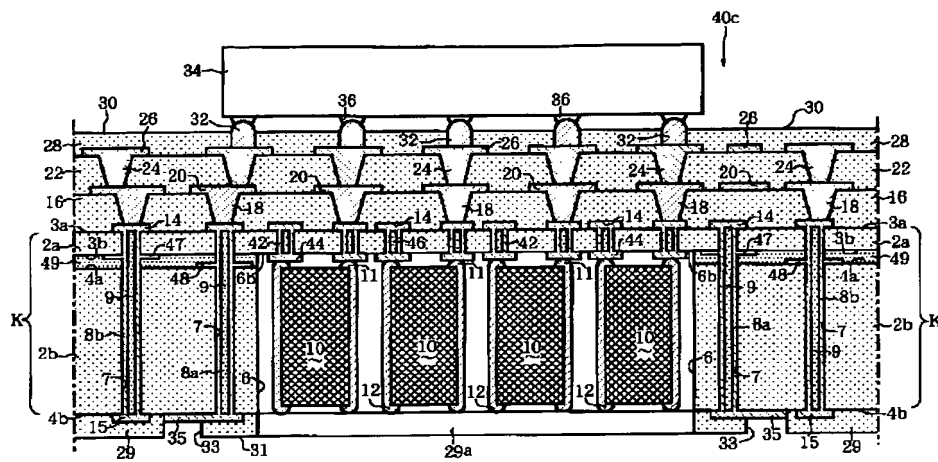
【図 5】



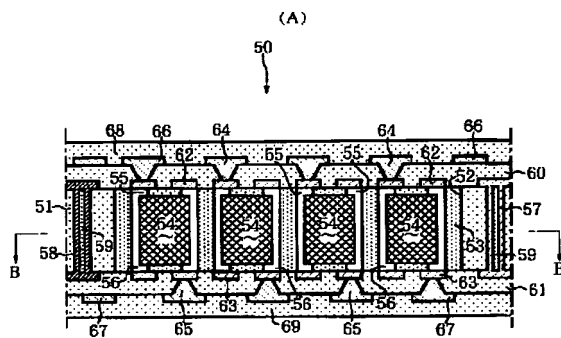
【図 6】



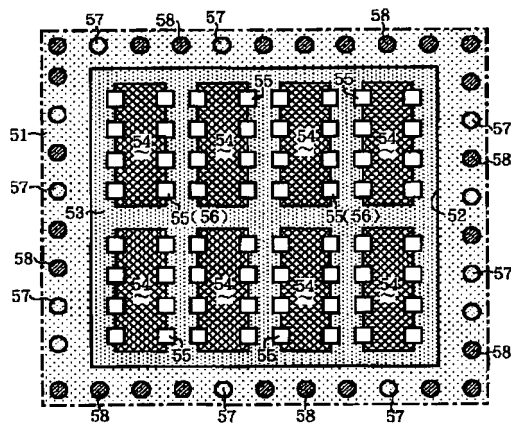
【図 7】



【図 8】



(B)



フロントページの続き

(51) Int. Cl.<sup>7</sup>

識別記号

F I

テーマコード (参考)

H 0 5 K 1/18

H 0 5 K 1/18

R

H 0 1 L 23/52

B

F ターム (参考) 5E317 AA24 BB01 BB11 CC31 CC51  
CD23 CD27 CD34 GG11  
5E336 AA07 AA08 BB03 BB15 BC02  
BC26 BC34 CC31 CC53 GG11  
5E338 AA03 AA16 BB02 BB03 BB13  
BB25 BB75 CC01 CC04 CC06  
CD32 EE13  
5E346 AA05 AA06 AA12 AA15 AA41  
AA43 AA60 BB02 BB03 BB04  
BB07 CC02 CC08 CC31 DD01  
DD31 EE31 FF04 FF45 GG17  
GG28 GG40 HH01